

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01175311 A

(43) Date of publication of application: 11 . 07 . 89

(51) Int. CI

H03H 17/02

(21) Application number: 62332396

(71) Applicant: SONY CORP

(22) Date of filing: 29 . 12 . 87

(72) Inventor: ROJIYAA RAGADETSUKU

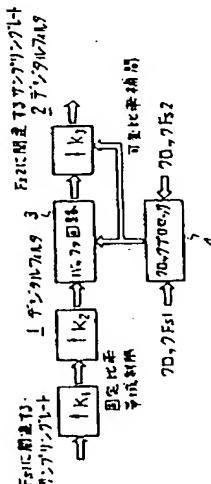
(54) SAMPLING FREQUENCY CONVERTING CIRCUIT

COPYRIGHT: (C)1989,JPO&Japio

(57) Abstract:

PURPOSE: To simplify a hardware by executing all calculations based on sampling frequencies and converting an event flag into plural sampling frequencies.

CONSTITUTION: At the time of converting the first digital signal of a sampling frequency  $fs_1$  into the second digital signal of an arbitrary sampling frequency  $fs_2$  by using a digital filter 1, the instantaneous time difference between an input and an output sampling times is used as a control quantity for sampling frequency conversion. In the sampling frequency converting circuit, all the calculations are executed based on input sampling frequencies and a relative time difference  $dt$  and/or a filter coefficient address is calculated by the sampling frequency conversion of many stages containing a sample to move from plural output sampling frequencies to the input sampling frequencies, an action flag and the F1FO of an input part and the output (input) sampling frequencies. They are sampled to use for the plural output (input) frequencies. Thus, the simplified structure can be attained.



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平1-175311

⑬ Int.CI. 1

H 03 H 17/02

識別記号

厅内整理番号

A-6903-5J

⑭ 公開 平成1年(1989)7月11日

審査請求 未請求 発明の数 4 (全7頁)

⑮ 発明の名称 サンプリング周波数変換回路

⑯ 特願 昭62-332396

⑰ 出願 昭62(1987)12月29日

⑱ 発明者 ロジャー・ラガデック 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑲ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑳ 代理人弁理士 松隈 秀盛

明細書

発明の名称 サンプリング周波数変換回路

特許請求の範囲

1. ディジタル・フィルタを用いてサンプリング周波数  $f_s$  の第一のディジタル信号を任意のサンプリング周波数  $f_{s2}$  の第二のディジタル信号に変換する際に、入力及び出力標本化時点の瞬時時間差をサンプリング周波数変換のための制御量として用いるようにしたサンプリング周波数変換回路において、すべての計算は上記サンプリング周波数  $f_s$  に基づいて実行されるとともに、イベント・フラッグが複数の上記サンプリング周波数  $f_s$  からサンプリング周波数  $f_{s2}$  へ変換されることを特徴とするサンプリング周波数変換回路。

2. ディジタル・フィルタを用いてサンプリング周波数  $f_s$  の第一のディジタル信号を任意のサンプリング周波数  $f_{s2}$  の第二のディジタル信号に変換する際に、入力及び出力標本化時点の瞬時時間差をサンプリング周波数変換のための制御量として用いるようにしたサンプリング周波数変換回路において、上記時間差及び/又はフィルタ係数アドレスを上記サンプリング周波数  $f_s$  で計算し、複数の上記サンプリング周波数  $f_s$  でサンプリングすることを特徴とするサンプリング周波数変換回路。

3. ディジタル・フィルタを用いてサンプリング周波数  $f_s$  の第一のディジタル信号を任意のサンプリング周波数  $f_{s2}$  の第二のディジタル信号に変換する際に、入力及び出力標本化時点の瞬時時間差をサンプリング周波数変換のための制御量として用いるようにしたサンプリング周波数変換回路において、上記時間差及び/又はフィルタ係数アドレスを上記サンプリング周波数  $f_s$  で計算し、複数の上記サンプリング周波数  $f_s$  でサンプリングすることを特徴とするサンプリング周波数変換回路。

4. ディジタル・フィルタを用いてサンプリング周波数  $f_s$  の第一のディジタル信号を任意のサ

サンプリング周波数  $f_s$  の第二のデジタル信号に変換する際に、入力及び出力標準化時点の瞬時時間差をサンプリング周波数変換後のための制御器として用いるようにしたサンプリング周波数変換回路において、上記時間差及びノ・又はフィルク係数アドレスを上記サンプリング周波数  $f_s$  で計算し、複数の上記サンプリング周波数  $f_s$  でサンプリングすることを特徴とするサンプリング周波数変換回路。

## 発明の詳細な説明

本発明は任意のサンプリング周波数に変換したデジタル信号を得るサンプリング周波数変換回路に関する。

従来アップモード実現を用いた第一段の前回フィルタによる多段サンプリング周波数変換が提案されている。これは、入力信号は、サンプリング周波数  $F_s$  すなわち  $F_s(in)$  のサンプルによって定義され、これからサンプリング周波数  $F_s$  すなわち  $F_s(out)$  のサンプルが計算される。第1図はそのステップ1を示す。また第2図はそのステッ

プ2を示し、サンプリング周波数は十分な帯域外遮蔽を持つ1つのオーバーサンプリングディジタルフィルタを用いて固定比率4倍に増加される。この第2図において被覆はどこで出力サンプルが必要かを示す。従来第3図に示す如き二段の可変比率フィルタが用いられ、4回のオーバーサンプリングの後、2つの異なるサンプルが計算され、そして最終出力が線型補間によって計算されていた。しかし、代表的な32,000個の係数と大きいけれども扱えるフィルタを用いて出力を4倍のサンプリング周波数  $4F_s$  のサンプルから直接計算することは可能である。この單一段の補間は第4図のブロック図に示す如くハードウェアが簡素化されるので非常に有利である。

この第4図は第一段の補間フィルタを持つアップモード多段サンプリング周波数変換回路を示す。この第一段の前回フィルタを用いた出力サンプルの計算は第5図のように表すことができる。この第4図においてト1はサンプリング周波数がトだけ増加することを示し、ト2はサンプリング周波

数がトだけ減少することを示す。また(1)及び(2)は夫々デジタルフィルタであり、(3)はバッファ回路、(4)はクロック周波数  $F_s$  及び  $F_s$  が供給されるクロックプロセッサーである。

フィルタの動作を表すのに用いられる方法は係数の計算と相対時間差を理解するための鍵になる。設定されたフィルタの係数(4  $F_s(in)$  に関する)は、シフトして示されており、従って中央線は所望の出力サンプリング時間にあたる。もしこの長さが2のべき乗に選択されると、正確に4入力サンプリング期間の長さをカバーする。4つの係数に対応する4入力サンプルのみがカバーされ、従って、他のフィルタ係数は入力サンプルが零であることになり、計算値を計算する必要がない。2つの連続するアドレス間の差は係数の1/4、即ち2のべき乗となることに注意する。

次に低価格サンプリング周波数変換フィルタを使用した場合について説明する。第6図はこのアップモードを示し、開始点は基本的な構成である。

第一段は、十分な帯域外遮蔽を有する1チップ

オーバーサンプリングフィルタと、單一段補間フィルタと  $4 F_s(out)$  でのクロック処理と、上述のような簡素化したバッファとで構成することができます。

インクーフェイスに必要な回路は含まれていない。全てのインクーフェイスを含む外格で囲まれた回路は、低価格回路を含む单一チップで作ることができよう。ダウンモードの場合も同様な方法が使える。補間フィルタとそのマイクロバッファはほとんど同一であるが、低価格ダウンモード変換器または切り換え可能な変換器は簡単に実現できる。

第7図は次の段階の簡素化したバッファ第一段補間を示す。第7図において(13)はマイクロバッファ、(14)はROMである。單一段のアップモードでは次の点で有利である。

比率の計算では2段のもので、1つの出力に10回の計算が必要なのに対し、單一段では大体4回でよい。また、メモリ制御においては、2回必要な二進使用係数の操作が1回で済む。係数ワード

長の点でも有利であり、内部ワード長においては内部倍数がない。メモリーサイズは1バッファセルのみである。

補間器とバッファは、クロックプロセッサに制御される1つのユニットとして設計しなければならない。最も有効なのは、非常に少ないインストラクションセットしか持たないマイクロエンジンとしてのアプローチであろう。上述したように、4Fs 处理を基にして時間差の概念が有効な設計の鍵である。

アップモードで使われる乗算器は、 $16 \times 20$ ビットであり、出力ワード長（16ビット等）で切り捨てるアキュムレータを有する。

また、ダウンモードでも單一補間器-バッファは非常に有効である。アップモードでセットしたのと同じ係数が使え、メモリーサイズも最小となる。この場合も4Fs 量を基にした時間差の概念が有効な設計の鍵である。

ダウンモードに使われる乗算器は未だ定義されていない。検討用モデルを決め、使ってみなければ

ばならない。最大値は確かに $20 \times 20$ ビットである。

また、16ビットディジタルオーディオ用サンプリング周波数増加フィルタは2-35サンプルの時間解像力がなければならない。4倍のオーバーサンプリングの後、8Kの増加が更に必要となる。4倍のオーバーサンプリングの後サンプリング周波数が64増加するフィルタは256（ビット）長である。係数の補間または直接合成により、16K増加用フィルタが計算される。その長さは $256 \times 8K / 64 = 32K$ である。32ビットの係数を並に記憶するのに全部で1Mビットの容量が必要である。これはスクープログラマブルROM（128×3ビット）1つで実施できる。20ビットのワード長で十分である。2Mビットの容量を持つ（ $256K \times 8$ ビット）、解像力が改善されたROMでも可能である。係数の対称のためにメモリーサイズを減少することができる。16ビットを越える解像力に対しては、係数を記憶せずに補間にによって最終係数を計算するのがよい。

現存のサンプリング周波数変換回路は入力につ

ながれたクロックでサンプリング周波数を増加し、1つの周波数で信号をバッファに供給する。これはバッファから別の周波数で読み出され、最終的な補間は出力サンプリング周波数につながれたクロックで行われる。言い替えれば、正確な出力時間に属する出力サンプルは正確にその同一時間に計算される。これは単なる原理であって、必要ではない。別のタイミングを選択すれば、もっと早く実施できるかもしれない。

第8図は従来の原理を示し、出力タイムグリッドで計算するようにしたものである。この原理に対応した実施例を第9図に示す。この第9図はアップモードの多段サンプリング周波数変換器である。この第9図で使用されたバッファメモリは並列であり両側で独立してそれら自身の周波数で動作が可能である。

全処理を入力側か出力側に移し、中間バッファをなくしてしまうことは有益である。このような場合、出力信号は正確に計算されるが、不規則な時間間隔で入力タイミンググリッドに発生される。

従って、出力サンプルは、例えばTBCのような FIFOで正確に出力サンプリング時間に合わせなければならない。

より簡単な型のバッファメモリーやメモリー制御によって、FIFOバッファとして実施される別の改良の可能である。

先ず最初に、FIFOの入力／出力バッファを使った全く新しい構成を様々な系で紹介する。これを実際に採り入れてもほとんど利点がない。次により簡単な中間バッファを使った構成を紹介する。これは低価格サンプリングレート変換に対する改良の解決法であろう。

以下、本発明によるサンプリング周波数変換回路の実施例につき説明する。

中間バッファを使わずに入力または出力にのみバッファを使うことによってサンプリング周波数変換回路を作ることは可能である。この原理を出力バッファを用いたアップモード変換について説明する。その他の例は後述する。

入力タイミングを基にして出力サンプルを計算

するための新しい原理を時間差を軸にとって第2図に示す。これはいくつかの選択できる例の中の1つにすぎないことに注意する。

簡単な実施例では、出力FIFOを用い、更に $2Fs(in)$ のようにサンプリング周波数が非常に高い最終フィルタ段を設ける。必要な出力は時として $2Fs(out)$ タイムグリッドに現れ、そしてFIFOに入力される。これで $Fs(out)$ で読み出される。この実施例は2倍の計算比の計算回路を必要とする。

この本例の原理は第11図に示す如く入力タイムグリッドを基に相対時間差を計算する時にのみ動作する。従来の相対時間差の計算は出力サンプリング周波数で行われるが、これは前述のように出力 $Ts(out)$ を測定し、 $2Fs(in)$ のように十分高い周波数でサンプリングすることにより、何の不確や回路の複雑化を伴わずに入力間に移すことができる。

この第11図は本例のアップモード多段サンプリング周波数変換回路を示す。

更に効果的なアップ変換の方法は、 $Fs(in)$ から

から $Fs(out)$ まで入力バッファを用いることである。サンプリング周波数が高くなってしまってサンプルが失われることはないが、サンプリング時間 $Ts(out)$ でサンプリングが行われないことがある。固定比率のサンプル比増加は $Fs(out)$ を基に行え、前述のように正確な補間が可能である。クロック処理のタイミングは不確であるが、サンプリング周波数増加用フィルタはバースト状態で作動しなければならなく、クロック周波数は $Fs(in)$ から $Fs(out)$ に高くなる。

第12図は平均をとり蓄積するために連続的に $Ts(out)$ を測定し、 $2Ts(in)$ のタイミングに入力する図を示す。

第13図は本例によるアップモード多段サンプリング周波数変換回路の入力FIFOを用いた出力に同期した補間処理を行った例を示し、従来の出力側クロック処理が使え、計算比率は2倍に増加しない。これに相当する構成は、第14図に示す如く、先ず $2Fs$ を使ってオーバーサンプリングを行うバッファを用いて、ダウンモード変換に対しても

適用できる。

第14図は、本例によるダウンモード多段サンプリング周波数変換回路の例を示す。

また第15図は出力バッファを用いて本例によるダウンモードの多段サンプリング周波数変換回路を示す。

以上述べた如く本例によれば第16図に示す如く入力サンプリング周波数を基にすべての計算をおこない、複数の入力サンプリング周波数から出力サンプリング周波数に移るサンプルと動作フラグと出力部のFIFOとを含む、多段サンプリング周波数変換と、出力サンプリング周波数を基に全ての計算を行ない、複数の出力サンプリング周波数から入力サンプリング周波数に移るサンプルと動作フラグと、入力部のFIFOとを含む、多段サンプリング周波数変換と、出力（入力）サンプリング周波数で相対時間差 $\Delta t$ 及び／またはフィルタ係数アドレスを計算し、複数の入力（出力）サンプリング周波数に用いるためにそれらをサンプリングすることを提案するものである。

尚本発明は上述実施例に限ることなく本発明の要旨を逸脱することなくその他種々の構成が取り得ることは勿論である。

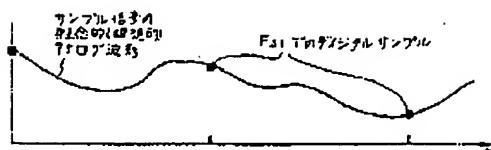
#### 図面の簡単な説明

第1図は、第2図、第3図、第5図、第8図、第10図、第12図及び第16図は夫々本発明の説明に供する等図、第4図、第6図、第7図及び第9図は夫々サンプリング周波数変換回路の例を示す構成図、第11図、第13図、第14図及び第15図は夫々本発明サンプリング周波数変換回路の実施例を示す構成図である。

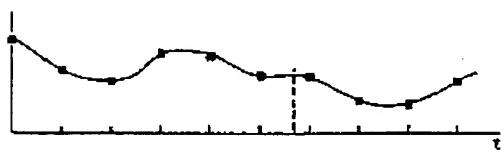
(1)及び(2)は夫々ディジタルフィルタ、(3)はバッファ回路、(4)はクロックプロセッサである。

代理人 伊藤 勲

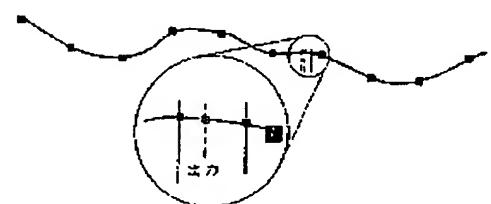
同 松隈秀盛



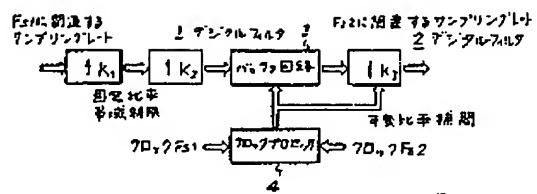
第1図



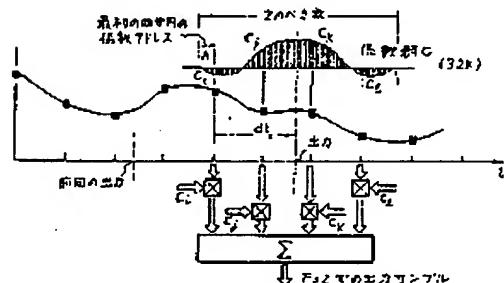
第2図



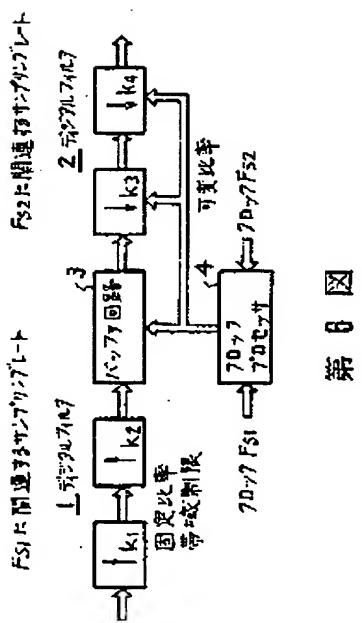
第3図



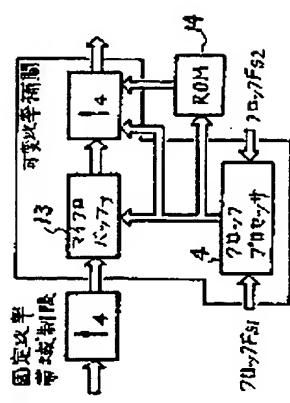
第4図



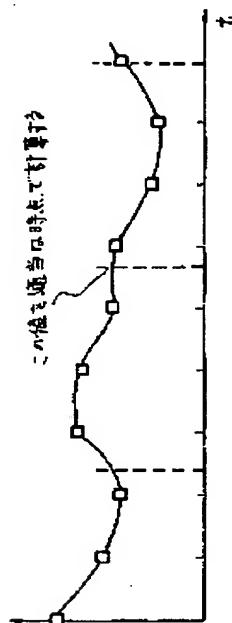
第5図



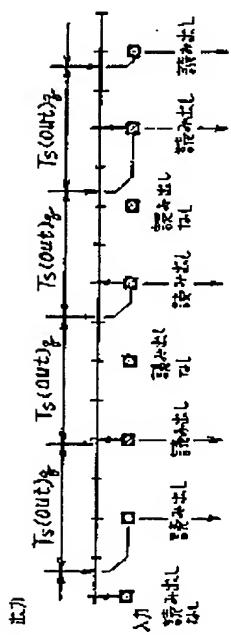
第6図



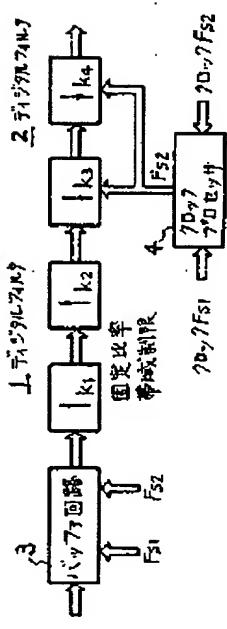
第7図



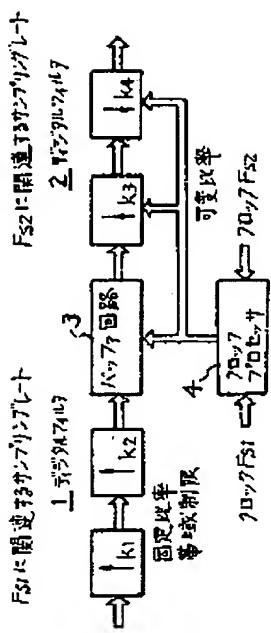
第8図



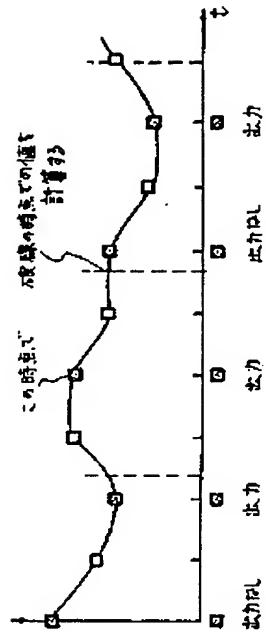
第12図



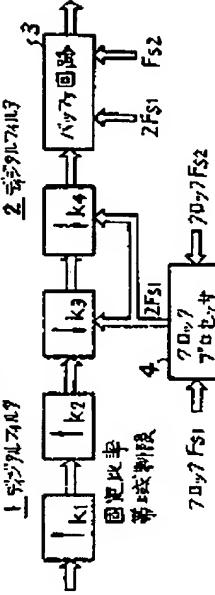
第13図



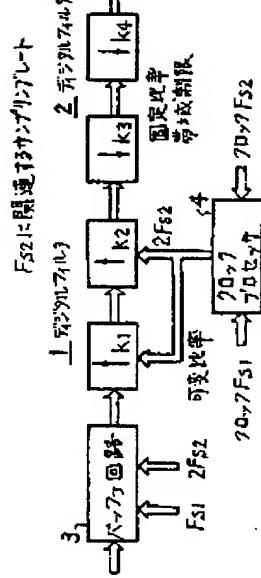
第9図



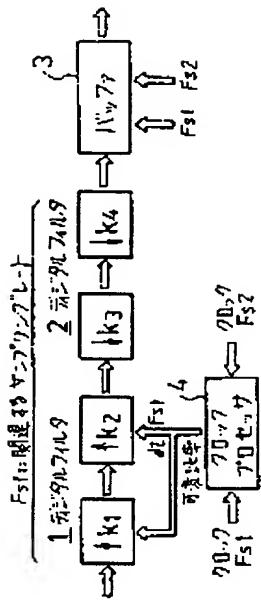
第10図



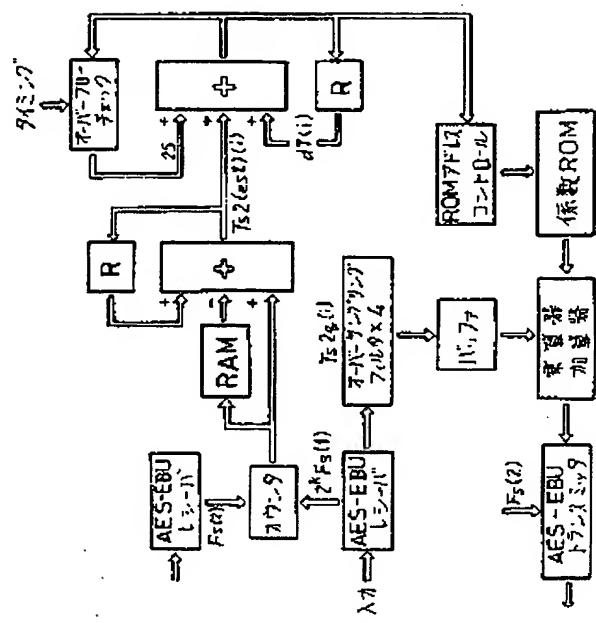
第11図



第14図



圖一五



三  
六  
一  
五